

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-252604
 (43)Date of publication of application : 06.09.2002

(51)Int.Cl. H04L 7/00
 H04N 7/08
 H04N 7/081
 H04N 7/24

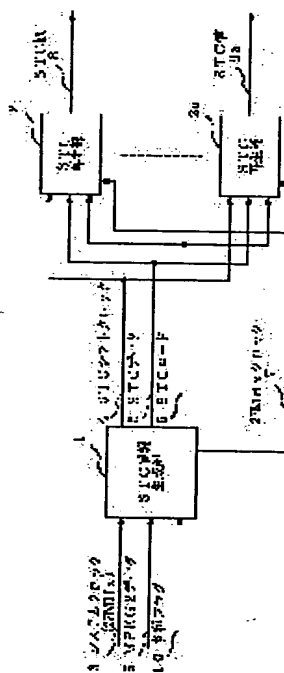
(21)Application number : 2001-050477 (71)Applicant : NEC CORP
 (22)Date of filing : 26.02.2001 (72)Inventor : MATSUNAGA AYAKO

(54) TIME INFORMATION DISTRIBUTION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a time information distribution system that makes the outputs of a plurality of coders and decoders synchronize with each other, by matching the system reference time of the plurality of the coders and the decoders with each other.

SOLUTION: An STC information producer 1 outputs an STC shift clock 4, STC data 5, and STC load 6, and a 27-MHz clock 7 as STC information. STC reproducers 2, 2a receive the STC shift clock 4, the STC data 5, the STC load 6, and the 27-MHz clock 7, to reproduce them into an STC value 8 and an STC value 8a and to output them.



LEGAL STATUS

[Date of request for examination] 17.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3496647

[Date of registration] 28.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-252604

(P2002-252604A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int.Cl.	識別記号	F I	テ-マ-ト* (参考)
H 0 4 L	7/00	H 0 4 L 7/00	Z 5 C 0 5 9
H 0 4 N	7/08	H 0 4 N 7/08	Z 5 C 0 6 3
	7/081		Z 5 K 0 4 7
	7/24		

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願2001-50477(P2001-50477)

(22) 出願日 平成13年2月26日(2001.2.26)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松永 重矢子

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5C059 MA00 RB01 RC03 RC04 SS02

UA02 UA05

5C063 AA01 AB03 AB07 AC01 CA11

CA12 CA14 CA23 DA07 DA13

5K047 AA18 BB11 CC02 DD02 HH54

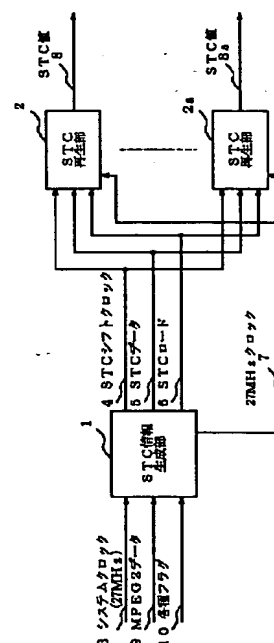
MM27 MM56

(54) 【発明の名称】 時刻情報分配方式

(57) 【要約】

【課題】複数の符号化器・復号化器でシステム基準時刻を一致させることで、複数の符号化器、復号化器の出力を同期させる時刻情報分配方式を提供する。

【解決手段】STC情報生成部1はSTC情報であるSTCシフトクロック4、STCデータ5、STCロード6および27MHzクロック7を出力する。STC再生部2、2aはSTCシフトクロック4、STCデータ5、STCロード6および27MHzクロック7を入力してSTC値8およびSTC値8aを再生し出力する。



【特許請求の範囲】

【請求項1】 各種フラグ及びシステムクロックと復号化時にはMPEG (Moving Picture Experts Group) 2データとを入力し、STC (System Time Clock) 情報であるSTCシフトクロック、STCデータ、STCロード及びSTCカウンタクロックを出力するSTC情報生成部と；前記STCシフトクロック、前記STCデータ、前記STCロード及び前記STCカウンタクロックを入力して同期した n (n は整数) 個のSTC値を再生し、各々を出力する n (n は整数) 個のSTC再生部と；を備えたことを特徴とする時刻情報分配方式。

【請求項2】 各種フラグ及びシステムクロックと復号化時にはMPEG 2データとを入力し、STC情報であるSTCシフトクロック、STCデータ、STCロード及びSTCカウンタクロックを出力するSTC情報生成部と；前記STCシフトクロック、前記STCデータ、前記STCロード及び前記STCカウンタクロックパルスを入力して同期した第1のSTC値及び第2のSTC値を再生し、各々を出力する第1のSTC再生部及び第2のSTC再生部と；を備えたことを特徴とする時刻情報分配方式。

【請求項3】 前記システムクロック及び前記STCカウンタクロックの周波数が、27MHzであることを特徴とする請求項1又は請求項2記載の時刻情報分配方式。

【請求項4】 前記STC情報生成部は、前記システムクロックによりMPEG 2で規定されている上位33ビット、下位9ビットの合計42ビットのビットカウンタ出力を生成し、MPEG 2の復号化時には前記MPEG 2データから抽出したPCR (Program Clock Reference) により42ビットのビットカウンタ出力の値を修正し、この修正したカウンタ値を新たなビットカウンタ出力とする第1の42ビットSTCカウンタと；前記システムクロック、前記MPEG 2データ及び前記各種フラグを入力し、ラッチパルス、シフトイネーブル、前記STCシフトクロック、前記STCカウンタクロック、前記STCロード及び前記PCRを出力する制御部と；前記第1の42ビットSTCカウンタが出力する前記ビットカウンタ出力を前記ラッチパルスによりラッチし、有効データとなるSTC値としてのラッチ出力を出力するラッチと；前記ラッチ出力に対して一定のオフセットを加算した後、このオフセット加算値出力を出力するオフセット加算部と；前記オフセット加算値出力を前記シフトイネーブル及び前記STCシフトクロックによりシリアルなSTCデータを出力する第1の64ビットシフトレジスタと；を備えたことを特徴とする請求項1、2又は3記載の時刻情報分配方式。

【請求項5】 前記STC再生部は、

入力された前記STCデータを前記STCシフトクロックで64クロック分保存する第2の64ビットシフトレジスタと；前記STCロードの信号を前記STCカウンタクロックで微分し、この微分したロードパルスを入力する微分回路と；前記微分したロードパルスの立ち上がりで前記第2の64ビットシフトレジスタが出力する前記STCデータの42ビット分をロードし、前記STCカウンタクロックにより前記STC情報として出力する第2の42ビットSTCカウンタと；を特徴とする請求項1、2又は3記載の時刻情報分配方式。

【請求項6】 前記STCロードは、前記STCシフトクロックの1クロック分として前記STC情報制御部から出力され、このSTCロードのタイミングに合わせて前記STCデータが前記第1及び第2のSTC再生部で読み込まれ、同期した前記第1及び第2のSTC値として再生されることを特徴とする請求項2記載の時刻情報分配方式。

【請求項7】 前記STCロードは、前記STC情報が信号として含まれる有効データ部と如何なる情報も信号として含まれない無効データ部とを有する前記STCデータに対して、前記有効データ部の最後の1ビットを表し、前記有効データ部が入力する毎に出力されることを特徴とする請求項1又は請求項2記載の時刻情報分配方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は時刻情報分配方式に関し、特にMPEG 2デジタル放送での複数の符号化器、復号化器の同期を取るためにシステム基準時刻の一致を実現させる時刻情報分配方式に関する。

【0002】

【従来の技術】 最近の日本国内デジタル放送形態は、映像、音声、或いは各種データストリームを含む複数の時系列情報を多重化して放送する形態が採用されているのが現状である。

【0003】 一般に時系列情報の多重化は、放送や通信メディアに適した国際標準方式であるMPEG 2 (Moving Picture Experts Group) の規格に準拠して行われ、このMPEG 2は国際標準であるISO/IEC13818-1により規定されている。デジタル放送では映像の符号化方式として、通常MPEG 2 (ISO/IEC13818) 方式が採用されている。MPEG 2の圧縮方式では、時刻管理単位としてSTC (System Time Clock) の概念が根底にあるが、MPEG 2を適用した装置に対して複数台の符号化器の同期について規定されていないために、特別な処置が無いとSTCによる相対時刻が管理されないことになる。

【0004】 このため、複数台の符号化器の出力を切り替えた場合、こうした差異により切り替え後の出力符号

に情報の不連続点、文法エラー、予測の不一致等が生じるので映像の素材を復号した結果に異常が発生し、最悪の場合は復号した映像信号の途切れを引き起こすことになる。放送局等では番組とCMの切り替えなど、複数台の符号化器から出力される符号の切り替えは頻繁に行われるので、これらを解決することが必要不可欠とされている。

【0005】このようなデジタル放送同期化技術の一例として、特開2000-4210号公報記載の「デジタル放送の時刻同期方法、デジタル放送送出装置、デジタル放送受信装置、デジタル放送送受システム、及びデジタル放送のデータ構造」が知られている。

【0006】この公報では、多重化した時系列情報を送出する際に、時系列情報における時間軸上の部分を含む番組等のイベントに対して、イベントの基準となる基準時間と、複数の時系列情報間における提示時間同期の基準となる提示基準時間との間のオフセット時間情報を付加して伝送することにより、多重化した時系列情報の受信側における提示基準時間とイベント基準時間とを同期させる技術が記載されている。

【0007】

【発明が解決しようとする課題】上述した従来の時刻情報分配方式は、複数台の符号化器の同期について相対時刻の管理がされないので、複数の符号化器出力を切り替えた後に、情報の不連続点、文法エラー、予測の不一致などが生じ、最悪の場合復号した映像信号の途切れを引き起こすという欠点を有している。

【0008】本発明の目的は、複数の符号化器あるいは復号化器でシステム基準時刻を一致させることにより、複数の符号化器出力切り替え後の出力符号を同期させる時刻情報分配方式を提供することにある。

【0009】

【課題を解決するための手段】本発明の時刻情報分配方式は、各種フラグ及びシステムクロックと復号時にはMPEG (Moving Picture Experts Group) 2データとを入力し、STC (System Time Clock) 情報であるSTCシフトクロック、STCデータ、STCロード及びSTCカウンタクロックパルス outputs STC情報生成部と；前記STCシフトクロック、前記STCデータ、前記STCロード及び前記STCカウンタクロックを入力して同期した n (n は整数) 個のSTC値を再生し、各々を出力する n (n は整数) 個のSTC再生部と；を備えたことを特徴としている。

【0010】各種フラグ及びシステムクロックと復号時にはMPEG 2データとを入力し、STC情報であるSTCシフトクロック、STCデータ、STCロード及びSTCカウンタクロックを出力するSTC情報生成部と；前記STCシフトクロック、前記STCデータ、前記STCロード及び前記STCカウンタクロックを入力

して同期した第1のSTC値及び第2のSTC値を再生し、各々を出力する第1のSTC再生部及び第2のSTC再生部と；を備えたことを特徴としている。

【0011】前記システムクロック及び前記STCカウンタクロックの周波数が、27MHzであることを特徴としている。

【0012】前記STC情報生成部は、前記システムクロックによりMPEG 2で規定されている上位33ビット、下位9ビットの合計42ビットのビットカウンタ出力を生成し、MPEG 2の復号化時には前記MPEG 2データから抽出したPCR (Program Clock Reference) により42ビットのビットカウンタ出力の値を修正し、この修正したカウンタ値を新たなビットカウンタ出力とする第1の42ビットSTCカウンタと；前記システムクロック、前記MPEG 2データ及び前記各種フラグを入力し、ラッチパルス、シフトイネーブル、前記STCシフトクロック、前記STCカウンタクロック、前記STCロード及び前記PCRを出力する制御部と；前記第1の42ビットSTCカウンタが出力する前記ビットカウンタ出力を前記ラッチパルスによりラッチし、有効データとなるSTC値としてのラッチ出力を出力するラッチと；前記ラッチ出力に対して一定のオフセットを加算した後、このオフセット加算値出力を出力するオフセット加算部と；前記オフセット加算値出力を前記シフトイネーブル及び前記STCシフトクロックによりシリアルなSTCデータを出力する第1の64ビットシフトレジスタと；を備えたことを特徴としている。

【0013】前記STC再生部は、入力された前記STCデータを前記STCシフトクロックで64クロック分保存する第2の64ビットシフトレジスタと；前記STCロードの信号を前記STCカウンタクロックで微分し、この微分したロードパルスを出力する微分回路と；前記微分したロードパルスの立ち上がりで前記第2の64ビットシフトレジスタが出力する前記STCデータの42ビット分をロードし、前記STCカウンタクロックにより前記STC情報として出力する第2の42ビットSTCカウンタと；を特徴としている。

【0014】前記STCロードは、前記STCシフトクロックの1クロック分として前記STC情報制御部から出力され、このSTCロードのタイミングに合わせて前記STCデータが前記第1及び第2のSTC再生部で読み込まれ、同期した前記第1及び第2のSTC値として再生されることを特徴としている。

【0015】また、前記STCロードは、前記STC情報が信号として含まれる有効データ部と如何なる情報も信号として含まれない無効データ部とを有する前記STCデータに対して、前記有効データ部の最後の1ビットを表し、前記有効データ部が入力する毎に出力されることを特徴としている。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0017】図1は本発明の時刻情報分配方式の一つの実施の形態を示すブロック図である。

【0018】図1に示す本実施の形態は、MPEG2データ9、各種フラグ10およびシステムクロック3を入力し、STC情報であるSTCシフトクロック4、STCデータ5、STCロード6およびSTCカウンタクロックとして27MHzクロック7を出力するSTC情報生成部1と、STCシフトクロック4、STCデータ5、STCロード6および27MHzクロック7を入力して同期したSTC値8およびSTC値8aを再生し各々を出力するSTC再生部2、2aとから構成されている。

【0019】以下、STCカウンタクロックを27MHzクロック7と記す。

【0020】次に動作を説明する。

【0021】MPEG2 (Moving Picture Experts Group) 符号化では、27MHzのシステムクロック3を基準としたシステム基準時刻であるSTC (System Time Clock) を用いて、符号化・復号化を行う。STC情報生成部1は、27MHzのシステムクロック3によりSTC情報として、STCシフトクロック4、STCデータ5、STCロード6を生成し出力する。

【0022】STC再生部2、2aは、一般的には1台からn (nは自然数) 台まで複数台存在し、STCシフトクロック4、STCデータ5、STCロード6を各々受けて、同期したn個のSTC値8、8aを各々が再生し出力する。

【0023】ここではn=2の場合について説明する。

【0024】STC情報生成部1は入力したMPEG2データ9と各種フラグ10に対して、27MHzのシステムクロック3からSTC情報を生成し出力する。復号化時にはMPEG2のTS (Transport Stream) に含まれるPCR (Program Clock Reference) を用いて、STC再生部2、2aに伝送するSTC情報 (STCシフトクロック4、STCデータ5、STCロード6) を生成する。STC再生部2、2aはSTC情報生成部1から受け取ったSTC情報 (STCシフトクロック4、STCデータ5、STCロード6) より、同期したSTC値8、8aを再生することになる。

【0025】つまり複数のSTC再生部2、2aのSTC情報を同期させることができる。

【0026】図2は図1のSTC情報生成部の一例を示す詳細ブロック図である。

【0027】なお、図2において図1に示す構成要素に対応するものは同一の参照数字または符号を付し、その

説明を省略する。

【0028】42ビットSTCカウンタ11は、27MHzのシステムクロック3とMPEG2の復号化時にはMPEG2データ9から抽出したPCR (Program Clock Reference) 21により、MPEG2で規定されている上位33ビット、下位9ビットの合計42ビットのビットカウンタ出力18を生成する。このPCR21により42ビットSTCカウンタ11の値を修正し、この修正したカウンタ値を新たなビットカウンタ出力18とする。

【0029】制御部12はSTC情報を出力するタイミングの制御を行う。つまりシステムに最適なタイミングでSTC情報の出力を制御し、ラッチパルス19、シフトイネーブル20、STCシフトクロック4、27MHzクロック7、STCロード6およびPCR21を出力し、STC情報の有効データを出力するタイミングを制御する。

【0030】64ビットシフトレジスタ15に対してシフトイネーブル20とSTCシフトクロック4を出力する。これに合わせてラッチ13は、42ビットSTCカウンタ11のビットカウンタ出力18をラッチパルス19によりラッチし、有効データとなるSTC値としてのラッチ出力22を出力する。

【0031】ラッチされたラッチ出力22に対して、オフセット加算部14は一定のオフセット23を加算する。オフセット加算部14はオフセット23を加算した後、オフセット加算値24を64ビットシフトレジスタ15に出力する。64ビットシフトレジスタ15は、オフセット加算出力24をシフトイネーブル20とSTCシフトクロック4でSTCデータ5にシリアル変換し、STC再生部2、2aの各々に出力する。ここでは64ビットのシフトレジスタとしているが、異なるビット数のシフトレジスタでも可能である。

【0032】STC値としてのラッチ出力22は42ビットなので、残りの22ビットにSTC再生部2、2aに伝送したい各種フラグ10を重畳し、STCデータ5を出力することになる。

【0033】図3は生成したSTC情報を示すタイムチャートである。

【0034】STC情報はSTCシフトクロック4、STCロード6、STCデータ5の3本の信号よりなる。STCロード6はSTCデータ5の有効データ部26の最後の1ビットを表し、有効データ部26が入力する毎に出力される。

【0035】有効データ部26はSTC情報が信号として含まれる部分であり、無効データ部27は何らの情報が信号として含まれない部分である。無効データはSTC情報とは関係ないデータであるため、STCデータとして使用されない。有効データはSTC情報データであり、そのシステムに最適なタイミング (例えば、映像1

フィールド毎、1フレーム毎)で出力され、それ以外の部分は無効データとなる。

【0036】図2の場合、64ビットシフトレジスタ15により、STCデータ5の有効データ部26はSTCシフトクロック4の64クロック分となる。このSTCロード6と有効データ部26はシステムに最適なタイミングで出力される。

【0037】また、STCシフトクロック4は27MHzのシステムクロック3の整数分の1に設定され、例えば $27/2=13.5\text{MHz}$ となる。STCロード6はSTCシフトクロック4の1クロック分として制御部12から出力され、これらをSTC再生部2、2aでSTCロード6のタイミングに合わせてSTCデータ5を読み込み、同期したSTC値8、8aを再生することになる。

【0038】図4は図3の有効データ部を示すタイムチャートである。

【0039】本例では、有効データは64ビットとしている。S41～S09のタイムスロットでSTC上位3ビット、S08～S00のタイムスロットでSTC上位9ビットを伝送する。STC情報が42ビットであることに加えて、各種のフラグも伝送することができる。例えば、STCロード6を映像1フィールドごとに出力する場合、各フィールドのodd/even情報を重畳することもできる。

【0040】図2のオフセット加算部14の出力であるオフセット加算値24が、図4のS41～S00となる。これに各種フラグ、リザーブビットを加えて64ビットとして64ビットシフトレジスタ15でシリアル変換したものが、STCデータ5の有効データ部26となる。つまりこの場合、有効データは64ビットである。

【0041】有効データの長さが42ビット以上であれば、STC情報を表すことができる。STC再生部2、2aにSTC情報と同時に送りたい情報があれば、各種フラグ10を用意されている16ビット分に対して使用する。

【0042】また、各種フラグが16ビットで足りなくなった場合、あるいはその他のユーザ情報等を送りたい場合のために、リザーブビット(R0～R5)を6ビット(6ビットであるのは、全体で61ビットとなって、単に切りが良いため)が用意されているので、これを使用する。

【0043】STCロード6は、このSTCデータ5の有効データ部26の最終ビットと同時に出力されるようにする。これは、STC再生部2、2aでSTCロード6の立ち上がりで64ビットシフトレジスタ15のSTCデータ5をロードすると、STCデータ5をそのままロードできるためである。

【0044】図5は図1のSTC再生部の一例を示す詳細ブロック図である。

【0045】なお、図5において図1に示す構成要素に対応するものは同一の参照数字または符号を付し、その説明を省略する。

【0046】64ビットシフトレジスタ28は、入力されたSTCデータ5をSTCシフトクロック4で64クロック分保存する。42ビットSTCカウンタ29は、27MHzクロック7でカウントアップし、STC再生部2、2aでのSTC値8、8aを表す。STCロード6の信号を27MHzクロック7で微分回路30により微分して27MHzクロック7の1クロック分の幅にし、この微分したロードパルス31の立ち上がりで64ビットシフトレジスタ28が出力するSTCデータ5の42ビット分を42ビットSTCカウンタ29にロードし、STC値8として出力する。

【0047】図6はSTC再生部の動作を示すタイムチャートである。

【0048】27MHzクロック7でカウントアップしているSTC値に、伝送されてきたSTCデータ5をロードする。この42ビットSTCカウンタ29のSTC値を再生側で利用する。

【0049】このように構成することで、複数のSTC再生部2、2aのSTC値8、8aを同期させることができる。

【0050】なお、STC情報のうち有効データのビット数、各種フラグ10の内容、STCロード6の間隔、STCシフトクロック4の周波数は任意である。

【0051】本方式は、符号化システムと復号システムのいずれに対しても、STC情報の分配に適用可能である。

【0052】上述のように、本システムの時刻分配方式では、STC(System Time Clock)情報を、3本のSTC情報信号として分配し、複数のSTC再生部はこのSTC情報信号を再生することで、複数のSTC再生部のシステム基準時刻の一致を実現し同期させることができる。

【0053】MPEG2符号化を行う際、1つの装置内に複数基板がある場合、例えば音声符号化部と映像符号化部がある場合に、それぞれの符号化部でSTC情報を一致させるために、STC情報をクロック、ロード、データとして分配し、各基板で再生したSTC情報を基準にしてPCR、PTSをタイムスロットであるTSに埋め込む。

【0054】復号化を行う場合にも、TSに埋め込まれていたPCR、PTSよりSTCを再生し、再生したSTCを音声復号化部、映像復号化部に分配して、STCを基準時刻にして復号化を行う。これにより、音声と映像の復号化時刻を合わせることができる。

【0055】なお、本方式による時刻情報分配方式は、現在幅広く使われている局内映像信号同期方式のシステムに悪影響を及ぼすことはないので、同期発生器、分配

器を交換しても、VTRやフレームシンクロナイザなどの従来装置も併用することが可能なので、従来のベースバンドシステムと新しいMPEG圧縮システムとの同期について親和性に優れている。

【0056】

【発明の効果】以上説明したように、本発明の時刻情報分配方式は、複数の符号化部・復号化部で、時刻管理単位であるシステム基準時刻を一致させることができるので、複数の再生部のシステム基準時刻を同期させるという効果を有している。

【図面の簡単な説明】

【図1】本発明の時刻情報分配方式の一つの実施の形態を示すブロック図である。

【図2】図1のSTC情報生成部の一例を示す詳細ブロック図である。

【図3】生成したSTC情報を示すタイムチャートである。

【図4】図3の有効データ部を示すタイムチャートである。

【図5】図1のSTC再生部の一例を示す詳細ブロック図である。

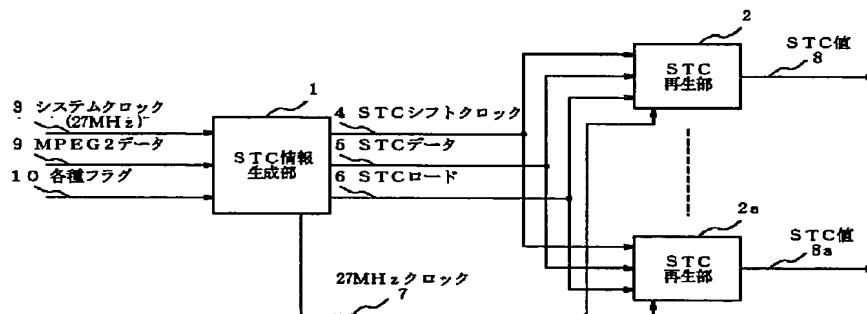
【図6】STC再生部の動作を示すタイムチャートである。

【符号の説明】

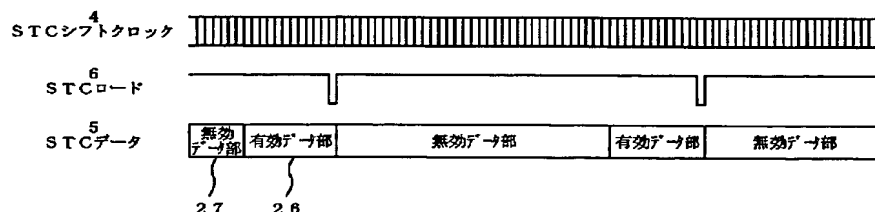
- 1 STC情報生成部
- 2, 2a STC再生部

- 3 システムクロック
- 4 STCシフトクロック
- 5 STCデータ
- 6 STCロード
- 7 27MHzクロック
- 8, 8a STC値
- 9 MPEG2データ
- 10 各種フラグ
- 11 42ビットSTCカウンタ
- 12 制御部
- 13 ラッチ
- 14 オフセット加算部
- 15 64ビットシフトレジスタ
- 18 ビットカウンタ出力
- 19 ラッチパルス
- 20 シフトイネーブル
- 21 PCR
- 22 ラッチ出力
- 23 オフセット
- 24 オフセット加算値
- 26 有効データ部
- 27 無効データ部
- 28 64ビットシフトレジスタ
- 29 42ビットSTCカウンタ
- 30 微分回路
- 31 ロードパルス

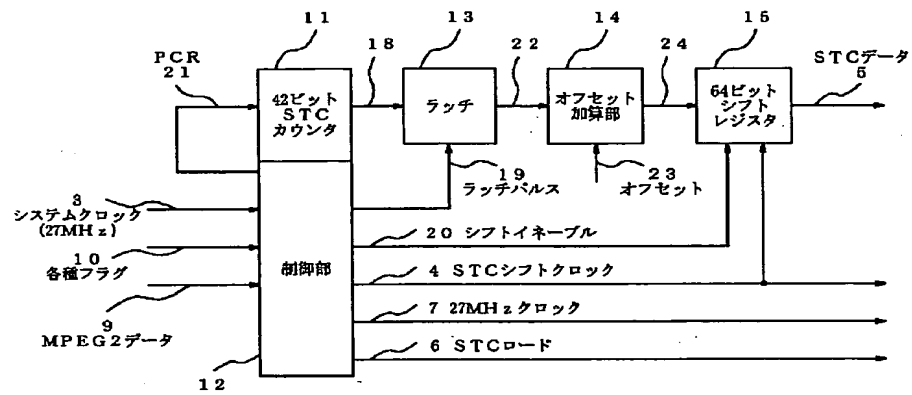
【図1】



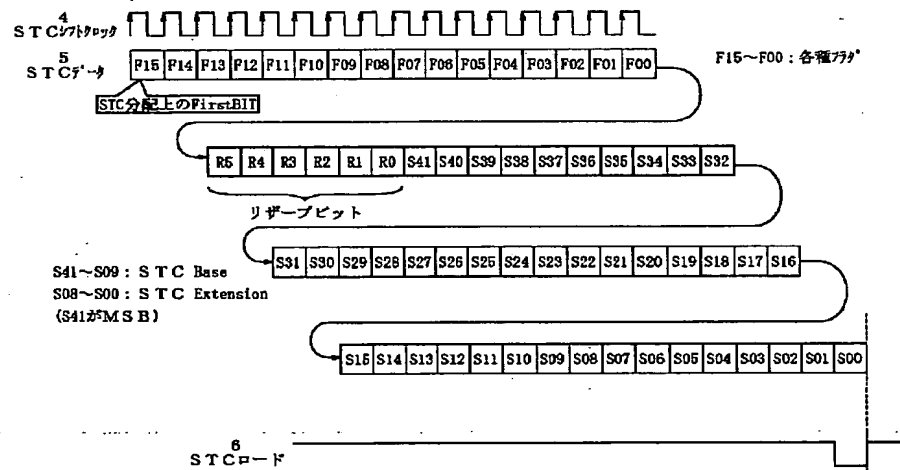
【図3】



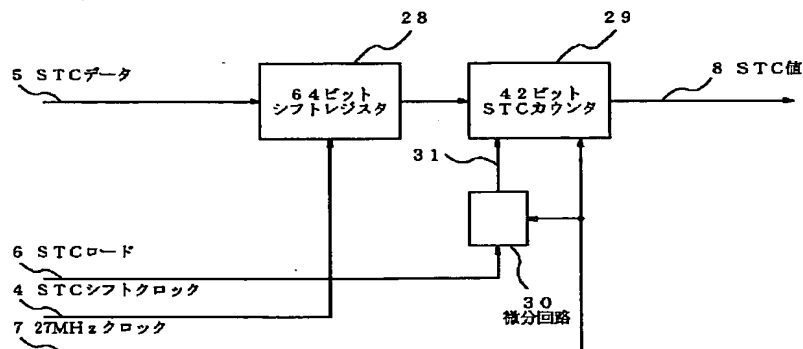
【図2】



【図4】



【図5】



【図 6】

